

21.11.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 11 DEC 2003

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 3 9 3 9 5
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 9 3 9 5]

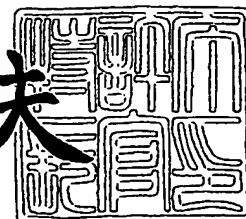
出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 0 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 33409947

【提出日】 平成14年11月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/10

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 前多 正

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 松野 典朗

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 沼田 圭市

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博



【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【ブルーフの要否】 要



【書類名】 明細書

【発明の名称】 PLL回路

【特許請求の範囲】

【請求項1】 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御される複数の発振器と、

前記位相差信号または前記位相制御信号に基づいて前記複数の発振器の出力のうちの1つを選択するための選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とするPLL回路。


【請求項2】 請求項1に記載のPLL回路において、
前記複数の発振器は、周波数可変範囲が互いに重なり合うことを特徴とするPLL回路。

【請求項3】 請求項1に記載のPLL回路において、
前記複数の発振器は、動作閾値電圧値が互いに異なることを特徴とするPLL回路。

【請求項4】 請求項1乃至3のいずれか1項に記載のPLL回路において、
前記選択手段は、前記位相差信号または前記位相制御信号の履歴に基づいて前記複数の発振器の出力の切り替えを行なうことを特徴とするPLL回路。

【請求項5】 請求項1乃至4のいずれか1項に記載のPLL回路において、
前記発振器は、電圧制御発振器であり、
前記位相差信号を電圧値に変換する手段を有することを特徴とするPLL回路。

【請求項6】 請求項5に記載のPLL回路において、



前記位相制御電圧の可変電圧範囲内に値が互いに異なる 2 つの閾値電圧を設定し、前記電圧制御発振器の選択状態が変化する際に、前記位相制御電圧の値を前記 2 つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする PLL 回路。

【請求項 7】 請求項 6 に記載の PLL 回路において、

前記電圧制御発振器の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とする PLL 回路。

【請求項 8】 請求項 6 に記載の PLL 回路において、

前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記 2 つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする PLL 回路。

【請求項 9】 請求項 6 に記載の PLL 回路において、

前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合であって、前記位相制御電圧が 2 回以上連続して前記 2 つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記 2 つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする PLL 回路。

【請求項 10】 請求項 6 に記載の PLL 回路において、

前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記 2 つの閾値電圧よりも大きいのか、あるいは前記 2 つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記 2 つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする PLL 回路。

【請求項 11】 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

互いに異なる共振周波数を具備する複数の共振回路と、

前記共振回路と位相制御信号とに従って発振周波数が制御される発振器と、

前記位相差信号または前記位相制御信号に基づいて前記複数の共振回路のうち

の1つを選択するための選択手段と、

前記発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記共振回路の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とするPLL回路。

【請求項12】 請求項11に記載のPLL回路において、

前記選択手段は、前記位相差信号または前記位相制御信号の履歴に基づいて前記複数の共振回路の切り替えを行なうことを特徴とするPLL回路。

【請求項13】 請求項11または請求項12に記載のPLL回路において

前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とするPLL回路。

【請求項14】 請求項13に記載のPLL回路において、

前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記共振回路の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とするPLL回路。

【請求項15】 請求項14に記載のPLL回路において、

前記共振回路の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とするPLL回路。

【請求項16】 請求項14に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

【請求項17】 請求項14に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合であって、前記位相制御電圧が2回以

上連続して前記 2 つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記 2 つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする PLL 回路。

【請求項 18】 請求項 14 に記載の PLL 回路において、

前記位相制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記 2 つの閾値電圧よりも大きいか、あるいは前記 2 つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記 2 つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする PLL 回路。

【請求項 19】 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

各々位相制御信号に従って遅延時間が制御される複数の遅延回路が連結されて構成された発振器と、

前記位相差信号または前記位相制御信号に基づいて前記遅延回路の連結数を切り換える選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする PLL 回路。

【請求項 20】 請求項 19 に記載の PLL 回路において、

前記選択手段は、前記位相差信号または前記位相制御信号の履歴に基づいて前記遅延回路の連結数の切り替えを行なうことを特徴とする PLL 回路。


【請求項 21】 請求項 19 または請求項 20 に記載の PLL 回路において、

前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とする PLL 回路。

【請求項 22】 請求項 21 に記載の PLL 回路において、

前記位相制御電圧の可変電圧範囲内に値が互いに異なる 2 つの閾値電圧を設定



し、前記遅延回路の連結数の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とするPLL回路。

【請求項23】 請求項22に記載のPLL回路において、

前記遅延回路の連結数の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とするPLL回路。

【請求項24】 請求項22に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

【請求項25】 請求項22に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

【請求項26】 請求項22に記載のPLL回路において、

前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいか、あるいは前記2つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とするPLL回路。

【請求項27】 請求項1乃至26のいずれか1項に記載のPLL回路において、

前記分周手段の出力位相を、前記基準信号の位相と同期させることを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電圧制御発振器を内蔵したPLL (Phase Locked Loop) 回路に関し、特に、広い発振周波数帯域を必要とするPLL回路に関する。

【0002】

【従来の技術】

近年の移動通信システムの多様化に伴い、一台の移動通信端末で様々な方式の送受信を行うことが要求されてきているが、通常、異なる移動通信システムは異なる周波数帯を用いるため、このようなマルチモード端末には複数の周波数帯での送受信機能、いわゆるマルチバンド無線機能が要求される。

【0003】

マルチバンド無線機に使用される周波数シンセサイザは、マルチバンド化に対応した様々な周波数帯のローカル信号を生成することが必要がある。例えば、900MHz帯を用いるGSM (global system mobile communication)、1800MHz帯を用いるDCS (digital cellular system)、1900MHz帯を用いるPCS (personal communication services)、2GHz帯を用いるUMTS (universal mobile telecommunication system) 等の方式が世界の広い範囲で利用されており、これらの全ての周波数帯で使用可能な4バンド無線機の開発が望まれている。

【0004】

このような4バンド無線機に対応した周波数シンセサイザを実現する場合、GSM送信用、GSM受信用、DCS送信用、DCS受信用、PCS送信用、PCS受信用/UMTS送信用及びUMTS受信用の各単位シンセサイザを用意する必要がある。PCSの受信周波数とUMTSの送信周波数は帯域がほぼ一致しているため、1つのシンセサイザで兼用が可能であるが、これは特殊な場合であって、基本的には必要な複数の周波数帯域にそれぞれ対応した個数の単位シンセサイザを用意することになる。従って、バンド数が多くなると、それに比例して単位シンセサイザの個数が増し、ハードウェアの規模が膨大なものになってしまう。

【0005】

このような問題を解決する方法として、発振器の変調感度を高め、発振器そのものの可変範囲を拡大する方法が考えられるが、この場合、チップの外部及び内部の雑音等により局部発振器の周波数が変動してしまうという問題がある。

【0006】

また、2つの単位シンセサイザに分周器と乗算のためのミキサからなる演算回路を組み合わせた小規模の回路構成によって、単位シンセサイザの個数よりも多い複数の周波数帯域の信号を生成する構成がある。しかしながら、複合する通信方式の全てに対応出来るわけではなく、結果的にシンセサイザの数が多くなってしまいうという欠点がある。

【0007】

そこで、異なる制御電圧—発振周波数特性を有する電圧制御発振器を複数個用いて、得るべき希望の発振周波数に応じて外部信号により電圧制御発振器を選択する方法が提案されている。

【0008】

この方法では、複数個の電圧制御発振器がそれぞれ異なる周波数範囲を受け持つので、各々の電圧制御発振器の周波数可変範囲は狭いものの全体では広い周波数範囲となる。各々の電圧制御発振器の周波数可変範囲が狭いため、各々の電圧制御発振器の変調感度は小さくて済み、シンセサイザを安定に動作させることが可能となる。

【0009】

図10は、複数個の電圧制御発振器を外部信号により選択し、クロックを発生する4通倍回路の一構成例を示す図である。

【0010】

本従来例は図10に示すように、位相比較器1と、チャージポンプ2と、ループフィルタ3と、異なる制御電圧—発振周波数特性を有する4個の電圧制御発振器からなる電圧制御発振器群4と、選択回路6と、分周器5と、NチャネルMOSトランジスタNM5と、抵抗Rとを有するPLL回路からなる4通倍回路であって、選択回路6の出力信号S14が高電位(H)のとき、NチャネルMOSト

ランジスタNM5がオンして抵抗RとMOSトランジスタNM5とからなる直列接続回路により、ループフィルタ3の出力信号S4の電流が引き抜かれ、信号S4のラインの電位が後記する基準電圧Vref1とVref2との間の範囲内の電圧に設定される（特許文献1参照。）。

【0011】

以下に、上記のように構成された4通倍回路の動作について説明する。

【0012】

位相比較器1は、基準信号CK1と内部信号CK2とを比較した結果に基づいて、出力信号S1, S2を発生する。信号S1は、基準信号CK1の内部信号CK2に対する位相の進み量を示す信号であり、信号S2は、内部信号CK2の基準信号CK1に対する位相の進み量を示す信号であり、これらの信号S1, S2はチャージポンプ2に入力される。

【0013】

チャージポンプ2の出力信号S3は、ループフィルタ3に入力されて、ループフィルタ3にて高周波成分が除去された後、電圧制御発振器群4の制御電圧S4として、電圧制御発振器群4に入力される。

【0014】

電圧制御発振器群4においては、電圧制御発振器群4内の4個の電圧制御発振器から1個の電圧制御発振器が選択されるために、選択回路6にて生成された信号S10～S13が入力される。電圧制御発振器群4の出力信号CK3は分周器5で4分周され、内部信号CK2となる。

【0015】

本従来例においては、信号CK1と信号CK2との周波数及び位相が一致するように動作したときにロックして、電圧制御発振器群4から得られる信号CK3の周波数が基準信号CK1の4倍となる。

【0016】

図11は、図10に示した選択回路6の構成を示すブロック図である。

【0017】

選択回路6の出力信号S10～S13が変化した場合、出力信号S14が一定

時間高電位 (H) となり、それにより、信号 S 4 の電位が、閾値電圧 V_{ref1} と V_{ref2} ($V_{ref2} > V_{ref1}$) との間の範囲内となるように設定される。

【0018】

選択回路 6 には、閾値電圧 V_{ref1} をもつ電圧比較器 418 と、閾値電圧 V_{ref2} をもつ電圧比較器 419 とが設けられている。電圧比較器 418 においては、入力される制御信号 S 4 の電圧が閾値電圧 V_{ref1} よりも低い場合に出力信号 S 15 が高電位 (H) に設定され、また、制御信号 S 4 の電圧が閾値電圧 V_{ref1} よりも高い場合に出力信号 S 15 が低電位 (L) に設定される。また、電圧比較器 419 においては、入力される制御信号 S 4 の電圧が閾値電圧 V_{ref2} よりも低い場合に出力信号 S 16 が高電位 (H) に設定され、また、制御信号 S 4 の電圧が閾値電圧 V_{ref2} よりも高い場合に出力信号 S 16 が低電位 (L) に設定される。

【0019】

また、信号 S 15, S 16 とともに低電位 (L) の場合に信号 S 17 を高電位 (H) にし、その他の場合に低電位 (L) に設定する NOR ゲート 420 と、信号 S 15, S 16 とともに高電位 (H) の場合に信号 S 18 を高電位 (H) に設定し、その他の場合に低電位 (L) に設定する AND ゲート 421 と、2 ビットアップカウンタ 422, 423 と、カウンタ 422 の出力カウント値 S 19 からカウンタ 423 の出力カウント値 S 20 を減算する減算器 424 と、減算器 424 から入力されるカウント値 S 21 に応じて出力信号 S 10 ~ S 13 の内のどれか 1 つのみを高電位 (H) に設定するデコーダ 425 とが設けられている。

【0020】

このような動作特性を有する選択回路 6 によって、異なる制御電圧一発振周波数特性を有する 4 個の電圧制御発振器の内から、基準信号 CK 1 の周波数の 4 倍の周波数に応じた 1 個の電圧制御発振器が自動的に選択されることになる。

【0021】

さらに、選択回路 6 によって選択状態が変化した場合、信号 S 14 が一時的に高電位 (H) になって、強制的に信号 S 4 の電位が図 12 に示す閾値電圧 V_{ref1} よりも高く、かつ閾値電圧 V_{ref2} によりも低い値に設定されるため、NOR ゲート 420 及び AND ゲート 421 の出力が一旦低電位 (L) に復帰し、それによ

り、異なる制御電圧－発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止できる。

【0022】

図 12 は、図 10 に示した電圧制御発振器群 4 の制信信号 S 4 の電圧に対する発振周波数特性を示す特性図である。なお、周波数 $f_1 \sim f_8$ は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$ の関係にある。

【0023】

まず、所望の発振周波数、つまり位相比較器 1 に入力される基準信号 CK 1 の周波数の 4 倍の周波数 f_{osc} が、 $f_1 < f_{osc} < f_2$ の場合について説明する。

【0024】

図 12 に示した特性 D のみでロックする場合、すなわち、制御信号 S 4 の電圧が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲から外れない場合は、NOR ゲート 420、AND ゲート 421 の出力信号 S 17, S 18 が高電位 (H) になることはなく、そのため、カウンタ 422, 423 がカウント動作することはない、選択回路 6 の出力信号 S 10 ~ S 13 の状態が初期状態から変化しない。

【0025】

また、図 12 に示した特性 C へ遷移し、さらに特性 B へ遷移して、最終的にロックされる場合には次のような動作となる。

【0026】

特性 D において制御電圧 S 4 が閾値電圧 V_{ref2} を越えると、NOR ゲート 420 の出力信号 S 17 が高電位 (H) となり、カウンタ 422 の出力値 S 19 及び減算器 424 の出力値 S 21 が 1 だけアップし、それにより、デコーダ 425 では出力信号 S 13 のみが高電位 (H) の状態から低電位 (L) の状態に切り替わり、また、出力信号 S 12 のみが低電位 (L) の状態から高電位 (H) の状態に切り替わり、特性 C に遷移する。

【0027】

この切り替わり時、信号 S 14 が一時的に高電位 (H) となって、制御信号 S 4 が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲の電圧に一時的に復帰するので、NOR ゲート 420 の出力信号 S 17 が高電位 (H) から低電位 (L) に変



化する。

【0028】

このようにして特性CによるPLL制御が行なわれても、依然として基準信号の4倍の周波数に対して内部信号の周波数が低いので、制御電圧S4が再び閾値電圧Vref2を越え、選択回路6が上述した動作を繰り返し、特性Bに遷移する。この時点で、電圧制御発振器群4からは、基準信号CK1とほぼ同じ周波数が出力されている状態であるが、分周器5の位相が短時間で変化しないため、位相比較器1は、依然として内部信号の周波数を高く設定するように動作し、結果的に、制御電圧S4が再び閾値電圧Vref2を越え、選択回路6が上述した動作を繰り返し、特性Aに遷移する。

【0029】

その結果、電圧制御発振器群4の周波数が基準信号に比較して高くなって、分周器5の位相が基準信号より進んでしまい、それにより、制御電圧S4が閾値電圧Vref1を下回り、選択回路6により特性Bに再び遷移するようになる。

【0030】

この後、2つの周波数が等しくなり、最終的に特性Bでロックする。

【0031】

【特許文献1】

特開平9-214335号公報


【0032】

【発明が解決しようとする課題】

上述したように、異なる制御電圧-発振周波数特性を有する複数個の電圧制御発振器を用いて、所望の発振周波数に応じて電圧制御発振器を選択する場合においては、広帯域なPLL回路を実現することはできるものの、好適な電圧制御発振器が選択されても、分周器の位相が短時間で変化しないために、位相比較器の出力が周波数変化に十分追随せず、結果的に最適な発振器が選択されるまでに非常に長い時間が必要となってしまう問題がある。

【0033】

位相は周波数の積分であるため、最適な発振器が選択されて、基準信号と同一



の周波数を有する内部信号が位相比較器に入力されたとしても、位相比較器の出力がロック状態になるために多大な時間がかかり、すぐにロック状態にならない。

【0034】

本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いて、所望の発振周波数に応じて必要となる電圧制御発振器を短時間で選択することができるPLL回路を提供することを目的とする。

【0035】

【課題を解決するための手段】

上記目的を達成するために本発明は、

基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御される複数の発振器と、

前記位相差信号または前記位相制御信号に基づいて前記複数の発振器の出力のうちの1つを選択するための選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

【0036】


また、前記複数の発振器は、周波数可変範囲が互いに重なり合うことを特徴とする。

【0037】

また、前記複数の発振器は、動作閾値電圧値が互いに異なることを特徴とする。

【0038】

また、前記選択手段は、前記位相差信号または前記位相制御信号の履歴に基づ



いて前記複数の発振器の出力の切り替えを行なうことを特徴とする。

【0039】

また、前記発振器は、電圧制御発振器であり、
前記位相差信号を電圧値に変換する手段を有することを特徴とする。

【0040】

また、前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記電圧制御発振器の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

【0041】

また、前記電圧制御発振器の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とする。

【0042】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

【0043】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

【0044】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

【0045】

また、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

互いに異なる共振周波数を具備する複数の共振回路と、

前記共振回路と位相制御信号とに従って発振周波数が制御される発振器と、

前記位相差信号または前記位相制御信号に基づいて前記複数の共振回路のうちの1つを選択するための選択手段と、

前記発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記共振回路の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

【0046】

また、前記選択手段は、前記位相差信号または前記位相制御信号の履歴に基づいて前記複数の共振回路の切り替えを行なうことを特徴とする。

【0047】

また、前記発振器は、電圧制御発振器であり、

前記位相差信号を電圧値に変換する手段を有することを特徴とする。

【0048】

また、前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記共振回路の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

【0049】

また、前記共振回路の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とする。

【0050】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に



設定することを特徴とする。

【0051】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

【0052】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

【0053】

また、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

各々位相制御信号に従って遅延時間が制御される複数の遅延回路が連結されて構成された発振器と、

前記位相差信号または前記位相制御信号に基づいて前記遅延回路の連結数を切り換える選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、


前記発振器の選択状態が変化する際に、前記分周器の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

【0054】

また、前記選択手段は、前記位相差信号または前記位相制御信号の履歴に基づいて前記遅延回路の連結数の切り替えを行なうことを特徴とする。

【0055】

また、前記発振器は、電圧制御発振器であり、



前記位相差信号を電圧値に変換する手段を有することを特徴とする。

【0056】

また、前記位相制御電圧の可変電圧範囲内に値が互いに異なる2つの閾値電圧を設定し、前記遅延回路の連結数の選択状態が変化する際に、前記位相制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

【0057】

また、前記遅延回路の連結数の選択状態が変化する際の履歴に応じて、一時的に設定する前記位相制御電圧の値を変更する手段を有することを特徴とする。

【0058】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

【0059】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合であって、前記位相制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記位相制御電圧側の閾値電圧の近傍に設定することを特徴とする。

【0060】

また、前記位相制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該位相制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記位相制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

【0061】

また、前記分周手段の出力位相を、前記基準信号の位相と同期させることを特徴とする。

【0062】

(作用)

上記のように構成された本発明においては、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御される複数の発振器と、位相差信号または位相制御信号に基づいて複数の発振器の出力のうちの1つを選択するための選択手段と、選択手段にて選択された発振器の出力を分周することにより内部信号を生成するための分周手段とからなり、発振器の選択状態が変化する際に、分周器の出力位相が基準信号の位相に近づけられるので、異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いたPLL回路において、所望の発振周波数に応じて必要となる電圧制御発振器が短時間で選択されることになる。

【0063】

【発明の実施の形態】

(第1の実施の形態)


図1は、本発明のPLL回路の第1の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図10に示したものと同一のものには同一の符号を付して、詳しい説明は省略する。

【0064】

図1に示すように本形態においては、さらに、第1の入力が基準信号であって、また、第2の入力が選択回路6からの信号である2入力AND回路7が設けられており、その出力は分周器5のリセット端子に入力され、この信号により分周器出力と基準信号との位相が同期される。

【0065】

また、選択回路6の内部には、閾値電圧 V_{ref1} をもつ電圧比較器418と、閾値電圧 V_{ref2} ($> V_{ref1}$)をもつ電圧比較器419とが設けられている。一方の電圧比較器418においては、入力される制御信号S4の電圧が閾値電圧 V_{ref1} よりも低い場合に、出力信号S15が一定時間低電位(L)設定され、また、入力される制御信号S4の電圧が閾値電圧 V_{ref1} よりも高い場合に、出力信号S1



5が一定時間高電位（H）に設定される。また、他方の電圧比較器419においては、入力される制御信号S4の電圧が閾値電圧Vref2よりも低い場合に、出力信号S16が一定時間高電位（H）に設定され、また、入力される制御信号S4の電圧が閾値電圧Vref2よりも高い場合に、出力信号S16が一定時間低電位（L）に設定される。

【0066】

電圧比較器418, 419の出力S15及びS16は、アップダウンカウンタ426に入力され、その出力に応じて選択スイッチ436が切り替えられる。このような動作特性を有する選択回路6によって、制御信号S4の電圧値に応じて異なる制御電圧—発振周波数特性を有する4個の電圧制御発振器の内から、基準信号CK1の周波数の4倍の周波数に応じた1個の電圧制御発振器が自動的に選択されることになる。

【0067】

さらに、選択回路6により選択状態が変化した場合、信号S14が一時的に高電位（H）になり、強制的にループフィルタ3の出力信号S4の電位が図2に示す閾値電圧Vref1よりも高く、かつ、閾値電圧Vref2よりも低い値に設定されるため、電圧比較器418, 419の出力が一旦高電位（H）に復帰する。さらに信号S14と基準信号が入力される2入力AND回路7により、分周器5が、電圧制御発振器の選択状態の変化時点における一定期間リセットされ、それにより、基準信号と分周器5の出力位相とが同期される。これにより、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器1にて短時間で検出されることになり、異なる制御電圧—発振周波数特性を有する電圧制御発振器群4の選択状態が、誤動作することを防止できる。

【0068】

以上説明したように、異なる制御電圧—発振周波数特性を有する4個の電圧制御発振器を含む半導体集積回路において、従来では電圧制御発振器の切り替え時の誤動作を防ぐためのループフィルタ3の出力信号S4のみを強制的に制御していたが、本形態においては、分周器5の出力位相も強制的に基準信号と同期させることで好適な電圧制御発振器を極めて短時間で選択することが可能となる。

【0069】

図2は、図1に示した電圧制御発振器群4の制信信号S4の電圧に対する発振周波数特性を示す特性図である。なお、A～Dは、各々4個の発振器の制御電圧－発振周波数特性であり、周波数 $f_1 \sim f_8$ は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$ の関係にある。

【0070】

まず、所望の発振周波数、つまり入力される基準信号CK1の周波数の4倍の周波数 f_{osc} が、 $f_1 < f_{osc} < f_2$ の場合について説明する。

【0071】

図2に示した特性Dのみでロックする場合、すなわち、制御信号S4の電圧が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲から外れない場合は、電圧比較器418、419の出力信号S15、S16が低電位(L)になることはなく、そのため、カウンタ426がカウント動作することはない、選択回路6の状態は初期状態から変化しない。

【0072】

また、図2に示した特性Dから特性Cへ遷移し、さらに特性Bへ遷移して、最終的にロックされる場合には次のような動作となる。

【0073】

特性Dにおいて制御電圧S4が閾値電圧 V_{ref2} を越えると、電圧比較器419の出力信号S16が一定時間低電位(L)になり、それにより、カウンタ426が1だけアップカウント動作する。このカウンタ426の出力に応じて電圧制御発振器の選択状態が特性Dから特性Cへ遷移すると同時に、信号S14が一時的に高電位(H)となって、制御信号S4が、閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲に一時的に復帰するので、出力信号S16が電圧制御発振器の切り替え後に低電位(L)に変化することを防いでいる。

【0074】

さらに、信号S14と基準信号が入力される2入力AND回路7により、分周器5が、電圧制御発振器の選択状態の変化時点における一定期間リセットされるので、基準信号と分周器5の出力位相とが同期され、それにより、電圧制御発振



器の選択状態の変化に起因する周波数の大きな変化が位相比較器 1 にて短時間で検出され、異なる制御電圧－発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止している。

【0075】

このようにして特性 C による PLL 制御が行なわれても、依然として基準信号の 4 倍の周波数に対して内部信号の周波数が低いので、制御電圧 S 4 が再び閾値電圧 V_{ref2} を越え、選択回路 6 が上述した動作を繰り返し、特性 B に遷移する。この時点で、電圧制御発振器は基準信号とほぼ同じ周波数を出力している状態で、分周器 5 の位相もそれに応じた値となっているので、この後、2 つの周波数が等しくなり、最終的に特性 B でロックする。

【0076】

逆に、例えば、現在特性 B にロックしている状態で所望の発振周波数 f_{osc} を $f_1 < f_{osc} < f_2$ にするべく基準信号 CK 1 の周波数を切り替えると、例えば、特性 B → 特性 C → 特性 D に切り替わり、最終的に特性 D にロックする。

【0077】

(第 2 の実施の形態)

図 3 は、本発明の PLL 回路の第 2 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。なお、図 1 に示したものと同一のものには同一の符号を付して、詳しい説明は省略する。

【0078】

図 3 に示すように本形態においては、第 1 の実施の形態にて示したものに、電圧比較器 418, 419 の出力を履歴カウンタ 427, 428 で記憶し、その履歴情報に基づいて、ループフィルタ 3 の出力電位を強制的に設定する電圧値を変える回路が付加されている。

【0079】

本形態においては、選択回路 6 により選択状態が変化したとき、アップダウンカウンタ 426 へのアップまたはダウン信号が連続して入力された場合に、ループフィルタ 3 の出力値が、アップ信号が連続する場合は、閾値電圧 V_{ref2} よりも低くその近傍に設定され、また、ダウン信号が連続する場合は閾値電圧 V_{ref1} よ



りも高くその近傍に強制的に設定される。

【0080】

履歴カウンタ 427, 428 は、例えば各々 2 ビットのシフトレジスタで構成され、その出力は各々 2 入力 AND 回路 429, 430 及び 2 入力 EXOR 回路 431, 432 に入力される。

【0081】

アップ信号が 2 回以上連続して入力された場合には、アップ履歴カウンタ 427 の 2 ビットの出力は同じ値を出力するので、AND 回路 429 の出力が高電位 (H) となり、それにより、ループフィルタ 3 の出力 S4 は、閾値電圧 V_{ref2} よりは低くその近傍に強制的に設定される。

【0082】

一方ダウン信号が 2 回以上連続して入力された場合には、ダウン履歴カウンタ 428 の 2 ビットの出力は同じ値を出力するので、AND 回路 430 の出力が高電位 (H) となり、それにより、ループフィルタ 3 の出力 S4 は、閾値電圧 V_{ref1} よりは高くその近傍に強制的に設定される。

【0083】

また、アップ信号もダウン信号も 2 回以上連続して入力されない場合には、2 つの EXOR 回路 431, 432 の出力が高電位 (H) となり、その結果として OR 回路 433 の出力が高電位 (H) で、ループフィルタ 3 の出力は閾値電圧 V_{ref1} と V_{ref2} との中間に設定される。

【0084】

これにより、広い周波数範囲をカバーするために選択される発振器の数を多く設計しても、最も周波数の低い特性から最も周波数の高い特性までの遷移時間を短縮できる。

【0085】

さらに信号 S14 と基準信号が入力される 2 入力 AND 回路 7 により、分周器 5 が、電圧制御発振器の選択状態の変化時点における一定期間リセットされることで、基準信号と分周器 5 の出力位相とが同期される。これにより、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器 1 にて短時間

で検出されることになり、異なる制御電圧－発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止できる。

【0086】

以上説明したように、異なる制御電圧－発振周波数特性を有する 4 個の電圧制御発振器を含む半導体集積回路において、従来では電圧制御発振器の切り替え時の誤動作を防ぐためにループフィルタ 3 の出力信号 S 4 のみを強制的に 1 つの値に制御していたが、本形態においては、電圧制御発振器の切り替え履歴情報に基づいて、ループフィルタ 3 の出力電位を強制的に設定する電圧値を変える回路が付加され、しかも分周器 5 の出力位相も強制的に基準信号と同期させることで好適な電圧制御発振器が極めて短時間で選択することが可能となる。

【0087】

図 4 は、図 3 に示した電圧制御発振器群 4 の制信信号 S 4 の電圧に対する発振周波数特性を示す特性図である。なお、A～D は、各々 4 個の発振器の制御電圧－発振周波数特性であり、周波数 $f_1 \sim f_8$ は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$ の関係にある。

【0088】

まず、所望の発振周波数、つまり入力される基準信号 CK 1 の周波数の 4 倍の周波数 f_{osc} が、 $f_1 < f_{osc} < f_2$ の場合について説明する。

【0089】


図 4 に示した特性 D のみでロックする場合、すなわち、制御信号 S 4 の電圧が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲から外れない場合は、電圧比較器 418, 419 の出力信号 S15, S16 が低電位 (L) になることはなく、カウンタ 426 がカウント動作することはない、選択回路の状態は初期状態から変化しない。

【0090】

また、図 4 の示した特性 D から特性 C へ遷移し、さらに特性 B へ遷移して、最終的に特性 A にロックされる場合には次のような動作となる。

【0091】

特性 D において制御電圧 S 4 が閾値電圧 V_{ref2} を越えると、電圧比較器 419



の出力信号 S 1 6 が一定時間低電位 (L) になり、それにより、カウンタ 4 2 6 が 1 だけアップカウント動作する。このカウンタの出力に応じて発振器の選択状態が特性 D から特性 C へ遷移すると同時に、信号 S 1 4 が一時的に高電位 (H) となって、制御信号 S 4 が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} の間の範囲の電圧に一時的に復帰するので、出力信号 S 1 6 が電圧制御発振器の切り替え後に低電位 (L) に変化することを防いでいる。

【0092】

さらに、信号 S 1 4 と基準信号が入力される 2 入力 AND 回路 7 により、分周器 5 が、電圧制御発振器の選択状態の変化時点における一定期間リセットされるので、基準信号と分周器 5 の出力位相が同期され、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器 1 にて短時間で検出され、異なる制御電圧－発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止している。

【0093】

このようにして特性 C による PLL 制御が行なわれても、依然として基準信号の 4 倍の周波数に対して内部信号の周波数が低いので、制御電圧 S 4 が再び閾値電圧 V_{ref2} を越える。この時、アップ履歴カウンタ 4 2 7 の 2 ビットの出力は同時に高電位 (H) となるので AND 回路 4 2 9 の出力は高電位 (H) となり、それにより、ループフィルタ 3 の出力 S 4 は、閾値 V_{ref2} よりも低くその近傍に強制的に設定され、また同時に、分周器 5 も上述した動作を繰り返し、特性 B に遷移する。

【0094】

このようにして特性 B による PLL 制御が行なわれても、依然として基準信号の 4 倍の周波数に対して内部信号の周波数が低いので、制御電圧 S 4 が再び閾値電圧 V_{ref2} を越え、選択回路 6 が上述した動作を繰り返し、特性 A に遷移する。

【0095】

この時点で、電圧制御発振器は基準信号とほぼ同じ周波数を出力している状態で、分周器 5 の位相もそれに応じた値となっているので、この後、2 つの周波数が等しくなり、最終的に特性 A でロックする。

【0096】

逆に、例えば、現在特性Aにロックしている状態で所望の発振周波数 f_{osc} を $f_1 < f_{osc} < f_2$ にするべく基準信号CK1の周波数を切り替えると、図5に示したように例えば、特性A→特性B→特性C→特性Dに切り替わり、最終的に特性Dにロックする。

【0097】

図5は、図3に示した電圧制御発振器群4の制信信号S4の電圧に対する発振周波数特性を示す特性図である。

【0098】

上述したように本形態においては、ループフィルタ3の出力値S4を、閾値電圧 V_{ref1} あるいは閾値電圧 V_{ref2} の近傍に設定されるが、これは、周波数を大きく変える必要が生じた場合に有効となる。同一バンド内での使用時等、通常は、電圧制御発振器2個分以内の周波数レンジで微調整すればよいが、違うバンドへのジャンプ時等においては、周波数を大きく変える必要が生じるためである。

【0099】

(第3の実施の形態)

図6は、本発明のPLL回路の第3の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図1に示したものと同一のものには同一の符号を付して、詳しい説明は省略する。


【0100】

図6に示すように本形態においては、第1の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、異なる共振周波数をもつ複数の共振回路からなる共振回路群434を設け、複数の共振回路を切り替えることにより、第1の実施の形態にて示したものと同様の効果を得ようとするものである。なお、共振回路は通常、インダクタ及びコンデンサで構成される。

【0101】

(第4の実施の形態)

図7は、本発明のPLL回路の第4の実施の形態を適用した4通倍回路の構成



例を示すブロック図である。なお、図1に示したものと同一のものには同一の符号を付して、詳しい説明は省略する。

【0102】

図7に示すように本形態においては、第2の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、異なる共振周波数をもつ複数の共振回路からなる共振回路群434を設け、複数の共振回路を切り替えることにより、第2の実施の形態にて示したものと同様の効果を得ようとするものである。なお、共振回路は通常、インダクタ及びコンデンサで構成される。

【0103】

(第5の実施の形態)

図8は、本発明のPLL回路の第5の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図1に示したものと同一のものには同一の符号を付して、詳しい説明は省略する。

【0104】

図8に示すように本形態においては、第1の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、遅延時間が可変できる複数のインバータが連結接続されたリング発振器435を用いたものである。本形態においては、リング発振器435の連結数を切り替えることで周波数を広い範囲で変化させることが出来る。

【0105】

(第6の実施の形態)

図9は、本発明のPLL回路の第6の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図1に示したものと同一のものには同一の符号を付して、詳しい説明は省略する。

【0106】

図9に示すように本形態においては、第2の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、遅延時間が可変できる複数のインバータが連結接続されたリング発振器435を用いたものである。

。本形態においては、リング発振器 435 の連結数を切り替えることで周波数を広い範囲で変化させることが出来る。

【0107】

なお、上述した 6 つの実施の形態においては、異なる制御電圧－発振周波数特性を有する 4 個の電圧制御発振器を含む場合について説明したが、2 以上の任意個数の電圧制御発振器を含む場合について同様に 4 通倍回路を構成することもできる。

【0108】

また、上述した実施の形態では、図 4 に示したように、制御信号 S4 の電圧の電位が高くなると発振周波数が高くなるような特性の電圧制御発振器を使用した。が、反対の動作特性、つまり制御信号 S4 の電圧の電位が高くなると発振周波数が低くなるような特性の電圧制御発振器を使用することもできる。この場合、閾値電圧 V_{ref1} 、 V_{ref2} をそのまま使用すると、信号 S4 の電圧が閾値電圧 V_{ref1} 未満になると PLL ロックする特性が現在の特性より周波数の高い特性に切り替わり、閾値電圧 V_{ref2} 以上になると周波数の低い特性に切り替わるようになる。

【0109】

また、電圧制御発振器群 4 を構成する 4 つの電圧制御発振器のそれぞれにおいて、閾値電圧 V_{ref1} 、 V_{ref2} が全て同一のものとして説明したが、4 つの電圧制御発振器毎に閾値電圧 V_{ref1} 、 V_{ref2} が異なることも考えられる。

【0110】

【発明の効果】

以上説明したように本発明においては、異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いて広帯域の PLL 回路を実現する際に、希望する発振周波数に応じて自動的に必要となる電圧制御発振器を極めて短時間で選択できるため、複数の無線方式を切り替え使用するシステムで、周波数設定時間が非常に長くなることを避けることが可能となり、このようなシステムに好適である。

【図面の簡単な説明】

【図 1】



本発明のPLL回路の第1の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

【図2】

図1に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

【図3】

本発明のPLL回路の第2の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

【図4】

図3に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

【図5】

図3に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

【図6】

本発明のPLL回路の第3の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

【図7】

本発明のPLL回路の第4の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

【図8】

本発明のPLL回路の第5の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

【図9】

本発明のPLL回路の第6の実施の形態を適用した4通倍回路の構成例を示すブロック図である。

【図10】

複数個の電圧制御発振器を外部信号により選択し、クロックを発生する4通倍回路の一構成例を示す図である。



【図 1 1】

図 1 0 に示した選択回路の構成を示すブロック図である。

【図 1 2】

図 1 0 に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

【符号の説明】

- 1 位相比較器
- 2 チャージポンプ
- 3 ループフィルタ
- 4 電圧制御発振器群
- 5 分周回路
- 6 選択回路
- 7 2入力AND回路
- 8 2入力OR回路
- 401 制御電圧発生回路
- 402 発振器本体
- 403～411 遅延時間可変回路
- 412～414 トランスファゲート
- 416 インバータ
- 417 セレクタ回路
- 418, 419 電圧比較器
- 420 NORゲート
- 421 ANDゲート
- 422, 423 2ビットアップカウンタ
- 424 減算器
- 425 デコーダ
- 426 アップダウンカウンタ
- 427, 428 2ビットシフトレジスタ
- 429, 430 2入力AND回路



431, 432 2入力EXOR回路

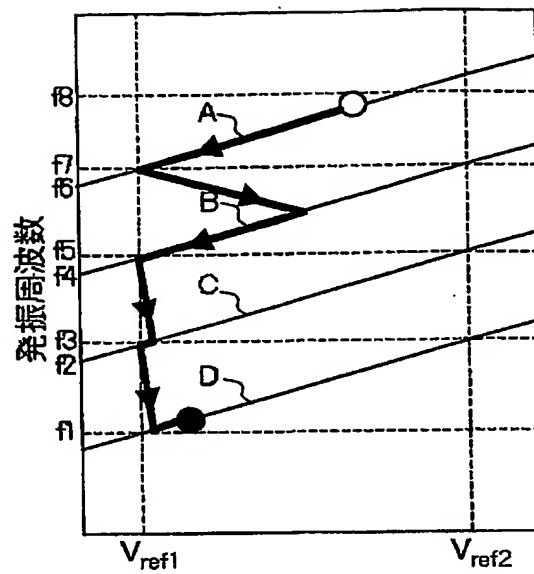
433 2入力OR回路

434 共振器回路群

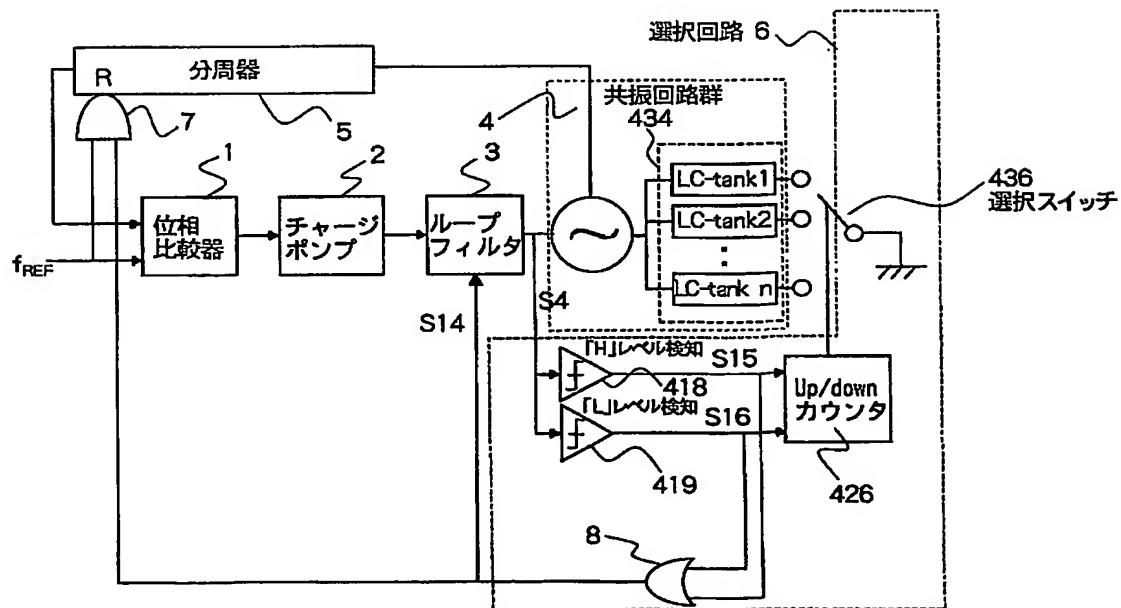
435 リングオシレータ

436 選択スイッチ

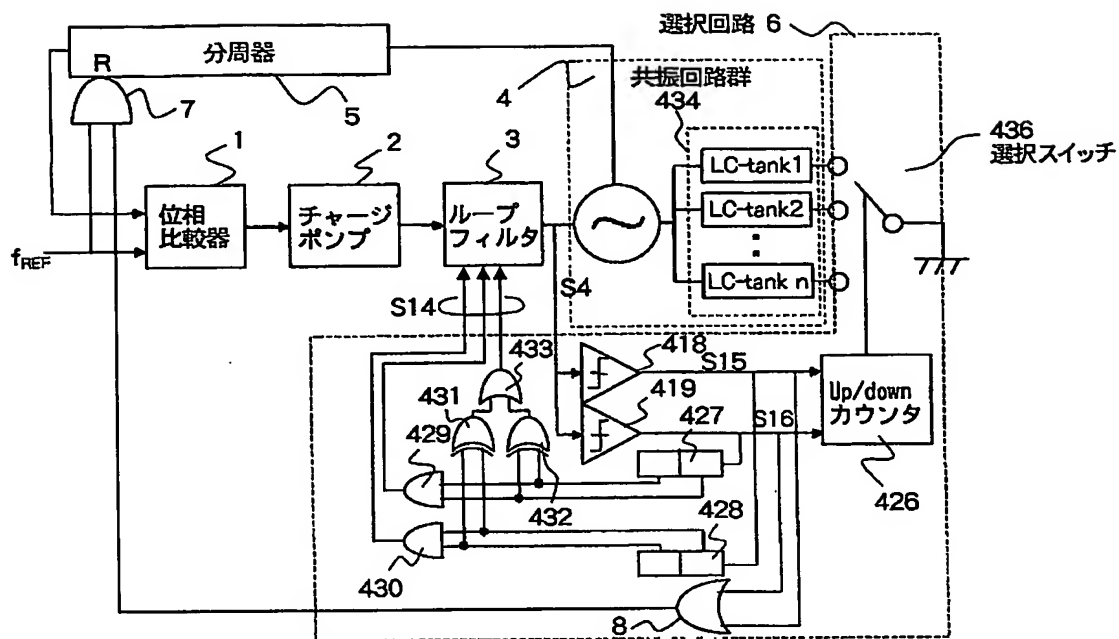
【図 5】



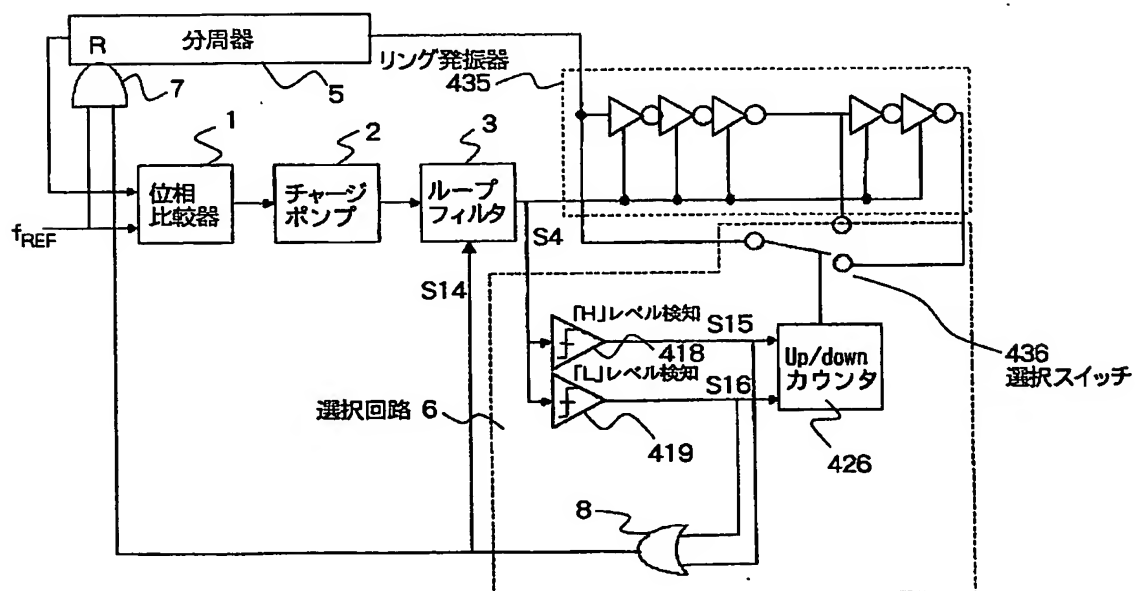
【図 6】



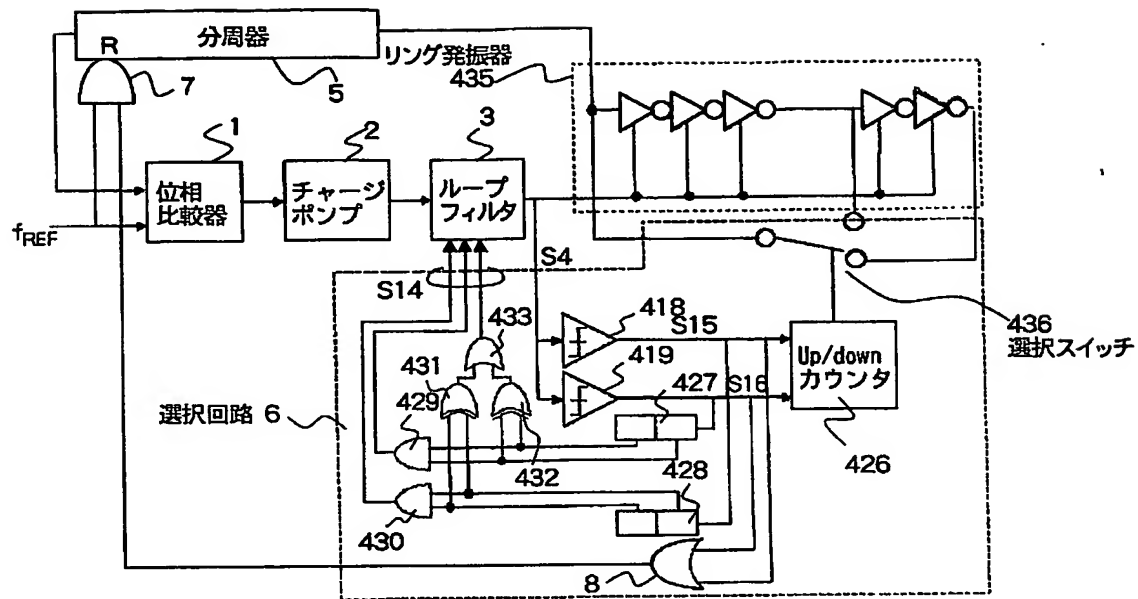
【図 7】



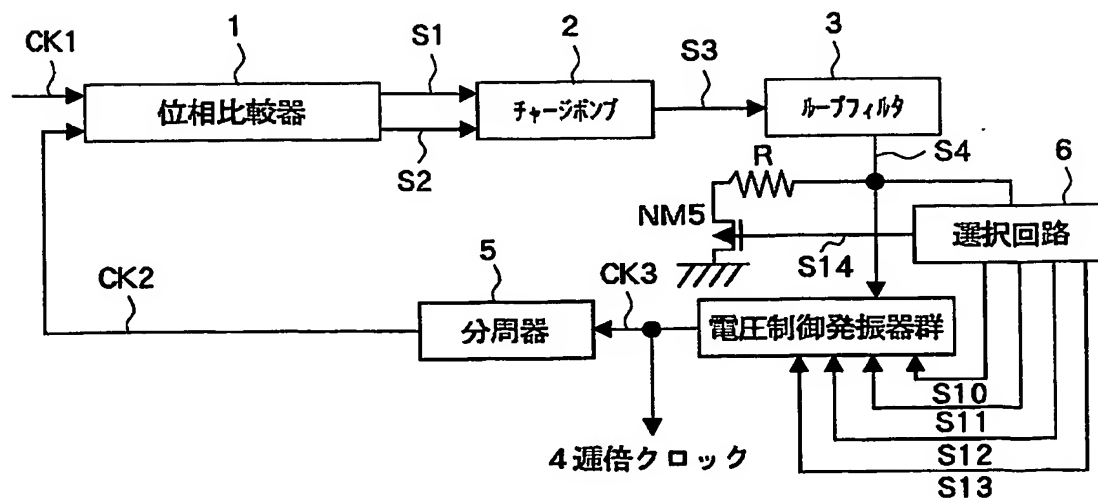
【図 8】



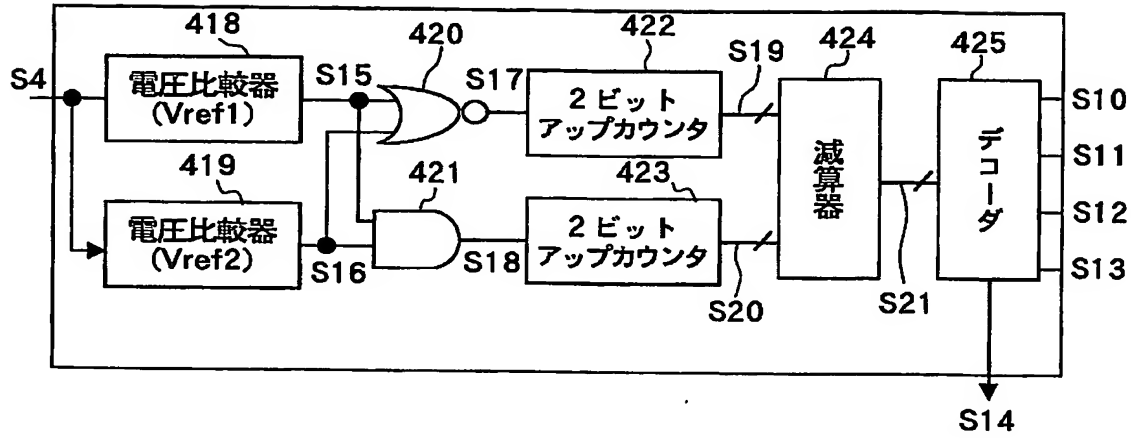
【図 9】



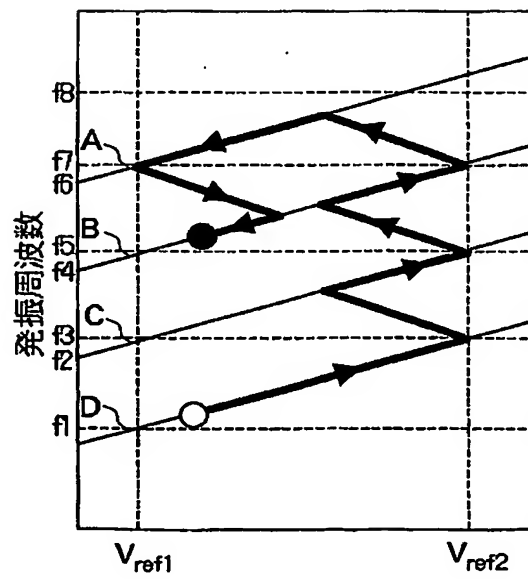
【図 10】



【図 11】



【図 12】





【書類名】 要約書

【要約】

【課題】 異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いて、所望の発振周波数に応じて必要となる電圧制御発振器を短時間で選択する。

【解決手段】 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器 1 と、互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御される複数の発振器からなる電圧制御発振器群 4 と、位相差信号または位相制御信号に基づいて複数の発振器の出力のうちの 1 つを選択するための選択回路 6 と、選択回路 6 にて選択された発振器の出力を分周することにより内部信号を生成するための分周器 5 とを有し、発振器の選択状態が変化する際に、分周器 5 の出力位相を基準信号の位相に近づける。

【選択図】 図 1



特願 2002-339395

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社